

【特許請求の範囲】

【請求項1】 複数のCMOSが格子状に配列されて構成され、結像された画像に対応した画素信号が発生する画像形成領域と、前記画像形成領域の外側に配列されたメモリ要素によって構成され、前記画素信号を処理するための制御信号を格納可能な制御信号格納領域とを有するイメージセンサと、前記画素信号に対して、前記制御信号に応じた処理を施して映像信号を得る画素信号処理手段とを備えたことを特徴とする映像信号発生装置。

【請求項2】 前記イメージセンサが、前記制御信号を外部から入力し、かつ前記映像信号を外部に出力するために設けられた伝送ケーブルに接続されることを特徴とする映像信号発生装置。

【請求項3】 電子内視鏡に設けられることを特徴とする請求項1に記載の映像信号発生装置。

【請求項4】 前記制御信号格納領域が前記画像形成領域に隣接して設けられ、前記画像形成領域に含まれる1列のCMOSに平行なビットレジスタの列によって構成されることを特徴とする請求項1に記載の映像信号発生装置。

【請求項5】 前記画像形成領域の1列のCMOSにおいて発生する画素信号と、前記制御信号格納手段の1列のビットレジスタに格納された制御信号とが、それぞれ1つの水平走査期間毎に外部に出力可能であることを特徴とする請求項4に記載の映像信号発生装置。

【請求項6】 前記制御信号が外部に出力可能な水平走査期間に、前記制御信号が外部から入力されて前記制御信号格納領域に格納可能であることを特徴とする請求項5に記載の映像信号発生装置。

【請求項7】 前記映像信号が外部に出力された後、前記制御信号が外部から入力されることを特徴とする請求項5に記載の映像信号発生装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、例えば電子内視鏡に設けられ、撮像装置として機能する映像信号発生装置に関する。

【0002】

【従来の技術】 従来電子内視鏡に設けられる撮像装置として、CMOSイメージセンサとCCDを備えたものが知られている。CMOSイメージセンサは、CCDとは異なり、システムワンチップ化が可能である。したがって、撮像動作により得た画素信号をCMOSイメージセンサのシステム内で処理することができ、モニタ装置等に適合したフォーマットの映像信号として出力することが可能である。

【0003】 CMOSイメージセンサを備えた撮像装置において実行される処理としては、ホワイトバランス調整、ゲインコントロール、ガンマ補正、ビデオ方式へのフォーマット変換等があり、これらの処理内容はCMO

Sイメージセンサに接続される機器の種類あるいはCMOSイメージセンサの使用環境によって異なる。したがって、CMOSイメージセンサにおける処理の実行のために、CMOSイメージセンサに対して外部から、処理内容に対応した制御信号を伝送する必要がある。

【0004】

【発明が解決しようとする課題】 すなわちCMOSイメージセンサを用いた電子内視鏡では、電源用と、映像信号のモニタ装置等への出力用の伝送ケーブルに加えて、制御信号をCMOSイメージセンサに伝送するための伝送ケーブルが必要である。このため内視鏡の可撓管を細径化するには限界があった。

【0005】 本発明は、CMOSイメージセンサと外部装置との信号の授受に用いる伝送ケーブルを削減することを目的としている。

【0006】

【課題を解決するための手段】 本発明に係る映像信号発生装置は、複数のCMOSが格子状に配列されて構成され、結像された画像に対応した画素信号が発生する画像形成領域と、画像形成領域の外側に配列されたメモリ要素によって構成され、画素信号を処理するための制御信号を格納可能な制御信号格納領域とを有するイメージセンサと、画素信号に対して、制御信号に応じた処理を施して映像信号を得る画素信号処理手段とを備えたことを特徴としている。

【0007】 イメージセンサは、制御信号を外部から入力し、かつ映像信号を外部に出力するために設けられた伝送ケーブルに接続される。

【0008】 映像信号発生装置は、例えば電子内視鏡に設けられる。これによれば、電子内視鏡の可撓管を細径化することができる。

【0009】 制御信号格納領域は画像形成領域に隣接して設けられ、画像形成領域に含まれる1列のCMOSに平行なビットレジスタの列によって構成されることが好ましい。これによれば、制御信号格納領域からの制御信号の読出制御が簡単になる。

【0010】 画像形成領域の1列のCMOSにおいて発生する画素信号と、制御信号格納手段の1列のビットレジスタに格納された制御信号とは、それぞれ1つの水平走査期間毎に外部に出力可能である。この場合、制御信号が外部に出力可能な水平走査期間に、制御信号が外部から入力されて制御信号格納領域に格納可能であるように構成されることが好ましい。また、この場合、映像信号が外部に出力された後、制御信号が外部から入力される。

【0011】

【発明の実施の形態】 以下、本発明の実施形態を図面を参照して説明する。図1は電子内視鏡の構成を概略的に示している。電子内視鏡（電子スコープ）は、生体内に挿入される可撓管10と、可撓管10が接続される操作

部50とを有する。可撓管10の先端には撮像装置であるCMOSイメージセンサ11が設けられている。

【0012】可撓管10は細長く成形され可撓性を有する管である。可撓管内には、生体内を照明するための光を導くライトガイド12と、送気・送水チャンネルあるいは吸引・鉗子チャンネル等のチャンネル13とが設けられている。

【0013】CMOSイメージセンサ11の受光面には、多数のCMOSが格子状に配列されており、生体内等部の被写体の画像が結像される。各CMOSには画像を構成する画素信号（電圧信号）が発生し、この画素信号は雑音除去、AD変換等の種々の処理を施され、映像信号として操作部50へ転送される。CMOSイメージセンサ11における画素信号の検出動作および種々の処理動作は、クロック発生回路14によって生成されるクロック信号に基づいて行われる。

【0014】操作部50には、CMOSイメージセンサ11の撮像動作と画素信号の処理動作等を制御するためのマイクロコンピュータ（CPU）51が設けられている。CMOSイメージセンサ11とマイクロコンピュータ51は単一の伝送ケーブル15によって接続されている。また操作部50にはモニタ装置52が設けられている。モニタ装置52には、CMOSイメージセンサ11から伝送ケーブル15を介して映像信号が伝送され、画像が表示される。この画像は、操作部50に設けられたシャッターボタン（図示せず）が押されないときはリアルタイムの動画であるが、シャッターボタンが押されたときはそのときの静止画である。

【0015】操作部50には光源53が設けられている。光源53から出射された光はライトガイド12を介して可撓管の先端から照射される。さらに操作部50には、図示しない電源が設けられており、電源によって発生した電力は電源ケーブル16を介してCMOSイメージセンサ11に供給される。なお電源ケーブル16内には、CMOSイメージセンサ11を接地するためのリード線も設けられている。

【0016】図2はCMOSイメージセンサ11の構成と、CMOSイメージセンサ11に設けられる各CMOSとモニタ装置52に表示される水平走査線との関係をそれぞれ示している。

【0017】CMOSイメージセンサ11は、格子状に配列された複数のCMOS21と、複数の列を構成するビットレジスタ（メモリ要素）28とを備えている。CMOS21は実線によって囲まれた矩形の画像形成領域22に設けられ、画像形成領域22には、CMOSイメージセンサ11の受光面に結像された画像に対応した画素信号が発生する。ビットレジスタ28は、画像形成領域22の外側、すなわち破線によって囲まれた矩形の制御信号格納領域23に設けられ、制御信号格納領域23には、画素信号を処理するための制御信号が格納され

る。

【0018】図2に示されるようにビットレジスタ28は、画像形成領域22において水平方向（横方向）に延びる1列のCMOS21に平行な列を形成するように配置されており、ビットレジスタ28の各列の間隔はCMOS21の各列の間隔と同じである。換言すれば、CMOSイメージセンサ11は、CMOS21だけを格子状に配置して構成されるものにおいて、画像形成領域22の外側に位置するCMOSをビットレジスタに置き換えることによって得られる。すなわちビットレジスタ28は画像形成領域22に隣接している。

【0019】CMOS21は図において、横方向に5つ、縦方向に4つ設けられるように示されているが、実際には、横方向および縦方向にそれぞれ数100個設けられている。一方、ビットレジスタ28の列の数は図において2であるが、もっと大きくてもよい。

【0020】画像形成領域22の各CMOS21には、撮像動作によって画素信号が発生する。画像形成領域22において、横方向に並ぶCMOS21の列のうち、1番上に位置する列（Line 1）はモニタ装置の画面54において1番上に表示され水平方向に並ぶ画素から成る映像信号L1に対応する。同様に、2、3、4番目の列（Line 2, Line 3, Line 4）はモニタ装置の画面54において2、3、4番目の列の映像信号L2、L3、L4にそれぞれ対応する。

【0021】これに対して、制御信号格納領域23において、最も画像形成領域22に近接する列（Line 5）とその下側の列（Line 6）のビットレジスタ28は、モニタ装置の画面54には表示されない部分に対応しており、これらのビットレジスタ28には上述したように制御信号が格納される。1つの制御信号は、例えば16ビットのデジタルデータによって構成され、1つの列（例えばLine 5）に含まれる16個のビットレジスタ28に格納される。

【0022】CMOS21とビットレジスタ28は、上述したように全体として格子状に配置されており、各CMOS21と各ビットレジスタ28には、横方向（X方向）および縦方向（Y方向）の位置を特定するためのXアドレス指定回路24およびYアドレス指定回路25がそれぞれ接続されている。アドレス指定回路24、25によって任意のCMOS21あるいはビットレジスタ28を指定することができ、例えば、そのCMOS21あるいはビットレジスタ28に所定の電圧信号を供給し、またそのCMOS21あるいはビットレジスタ28から電圧信号を読み出すことができる。

【0023】CMOSイメージセンサ11には画素信号処理回路26が接続されている。画素信号処理回路26には、雑音除去回路、AD変換器およびファンクション・コントローラが設けられており、プログラマブル・ファンクション・レジスタ27が接続されている。プログ

ラマブル・ファンクション・レジスタ27は、操作部50のマイクロコンピュータ51と伝送ケーブル15を介して接続され(図1参照)、マイクロコンピュータ51から伝送されてきたホワイトバランス調整係数等の制御信号が格納される。

【0024】画素信号処理回路26では、アドレス指定回路24、25によって指定されたCMOS21(Line 1～Line 4)から電圧信号である画素信号が入力され、雑音除去回路によって雑音が除去される。その後、画素信号はAD変換器によってデジタル信号に変換され、ファンクション・コントローラによって、ホワイト

バランス調整、ゲイン調整およびガンマ補正を施されるとともに、例えばコンポジットビデオ信号の形式の映像信号に変換される。この映像信号は伝送ケーブル15を介してマイクロコンピュータ51に伝送される。

【0025】図3は、CMOSイメージセンサ11、画素信号処理回路26、プログラマブル・ファンクション・レジスタ27およびモニタ52の間における信号の流れを示している。CMOS21はフォトダイオード21aとオペアンプ21bから成る。オペアンプ21bから

出力されたアナログの画素信号は画素信号処理回路26に転送され、デジタルの画素信号に変換される。ビットレジスタ28には、プログラマブル・ファンクション・レジスタ27から出力されたデジタルの制御信号が格納される。制御信号はビットレジスタ28から読み出され、画素信号処理回路26から出力されたデジタルの画素信号に対して、制御信号に対応した処理(例えばホワイトバランス調整)が施され、コンポジットビデオ信号等の形式の映像信号に変換される。映像信号は伝送ケーブル16を介してモニタ装置52に伝送される。

【0026】図4～図6を参照して、CMOSイメージセンサ11からマイクロコンピュータ51とモニタ装置52へ映像信号を伝送する動作と、マイクロコンピュータ51からCMOSイメージセンサ11へ制御信号を伝送する動作を説明する。なお図4、5では、画素信号処理回路26とプログラマブル・ファンクション・レジスタ27は省略されている。

【0027】送信期間は、CMOSイメージセンサ11側から映像信号がマイクロコンピュータ51とモニタ装置52に伝送される動作のみが行われる期間である。C

MOSイメージセンサ11では、クロック発生回路14から出力されるクロック信号にしたがって画素信号が読み出され、画素信号処理回路26(図2)において所定の処理を施されて映像信号に変換される。図6に示されるように映像信号L1、L2、・・・は、2つの水平同期信号Hによって区画されている。

【0028】水平同期信号Hと垂直同期信号(図示せず)は同期分離回路55において映像信号L1、L2、・・・から分離される。水平同期信号Hと垂直同期信号は、水平同期信号/垂直同期信号カウンタ56によって

計数される。マイクロコンピュータ51では、水平同期信号Hの数をチェックすることによって、何番目の映像信号であるかが特定され、また垂直同期信号を検出することによって、CMOSイメージセンサ11から1画面分の全ての信号が出力されたことが認識される。

【0029】遅延回路57では、水平同期信号Hから一定時間だけ遅れて伝送される1列の映像信号(L1、L2、L3またはL4)のみが抽出され、サンプルホールド回路58において保持される。映像信号は、次の列の映像信号が伝送されてくるまでの間に、モニタ装置52へ転送される。すなわち、映像信号は1つの水平走査期間毎にモニタ装置52に対して出力される。なおカウンタ56によって、信号L5、L6が伝送されてきたと判断されたとき、これらは制御信号であるので、モニタ装置52に転送する必要はなく、マスク回路59によって遮断される。

【0030】このように送信期間において、CMOSイメージセンサ11では送信動作のみが行われ、操作部50では受信動作のみが行われる。

【0031】送受信期間は、CMOSイメージセンサ11側から映像信号L1～L4がマイクロコンピュータ51とモニタ装置52に伝送されるとともに、マイクロコンピュータ51から制御信号L5、L6がプログラマブル・ファンクション・レジスタ27(図2、3)に伝送される期間である。CMOSイメージセンサ11では、送信期間と同様に画素信号が読み出され、画素信号は画素信号処理回路26において所定の処理を施され映像信号に変換される。

【0032】水平同期信号Hと垂直同期信号は、同期信号分離回路55において映像信号L1、L2・・・から分離される。映像信号L1～L4は、上述したように、遅延回路57(図4)とサンプルホールド回路58(図4)を介してモニタ装置52に転送される。これに対して信号L5、L6のタイミングでは、マイクロコンピュータ51において生成された制御信号が加算器60において水平同期信号Hに加算され、CMOSイメージセンサ11側へ伝送され、プログラマブル・ファンクション・レジスタ27(図2、3)に格納される。なお、制御信号L5、L6はマスク回路59の作用によりモニタ装置52には転送されない。

【0033】制御信号L5、L6はプログラマブル・ファンクション・レジスタ27から読み出されてCMOSイメージセンサ11の制御信号格納領域23に格納され、そのとき画像形成領域22に発生した画素信号に対するホワイトバランス調整等の処理に用いられる。

【0034】以上のように本実施形態では、CMOSイメージセンサ11から読み出される画素信号に対してホワイトバランス調整等の処理を行うための制御信号は、CMOSイメージセンサ11側から映像信号を外部に出力するための伝送ケーブル15を用いてCMOSイメー

ジセンサ11側へ伝送される。すなわち映像信号のモニタ装置等への出力用の伝送ケーブルと、制御信号をCMOSイメージセンサに伝送するための伝送ケーブルを兼用したので電子内視鏡の可撓管を細径化することが可能となる。

【0035】

【発明の効果】以上のように本発明によれば、CMOSイメージセンサと外部装置との信号の授受に用いる伝送ケーブルを削減することができ、本発明を電子内視鏡に適用した場合には、可撓管を細径化することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態を適用した電子内視鏡の構成を概略的に示すブロック図である。

【図2】CMOSイメージセンサの構成と、CMOSイメージセンサに設けられる各CMOSとモニタ装置に表示される水平走査線との関係をそれぞれ示す図である。

【図3】CMOSイメージセンサ、画素信号処理回路、プログラマブル・ファンクション・レジスタおよびモニ*

*タの間における信号の流れを示すブロック図である。

【図4】CMOSイメージセンサからコンピュータ側に映像信号を伝送する送信期間の動作を示すブロック図である。

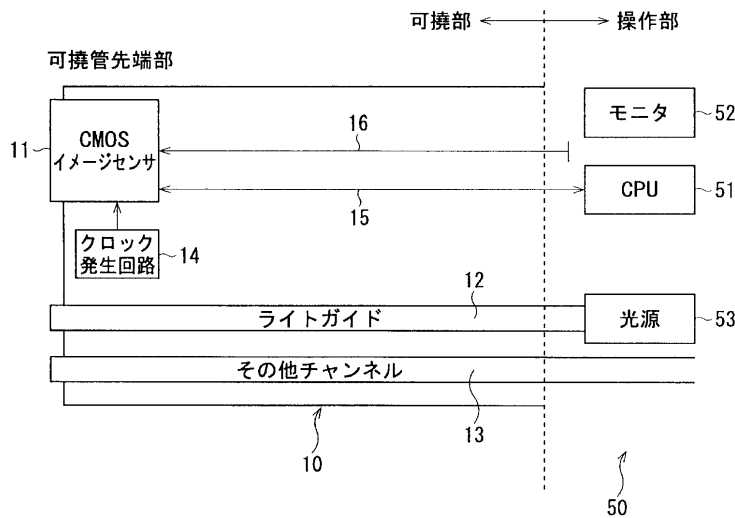
【図5】CMOSイメージセンサからマイクロコンピュータ側に映像信号を伝送し、かつマイクロコンピュータからCMOSイメージセンサ側に制御信号を伝送する送受信期間の動作を示すブロック図である。

【図6】送信期間および送受信期間における映像信号と制御信号を示す図である。

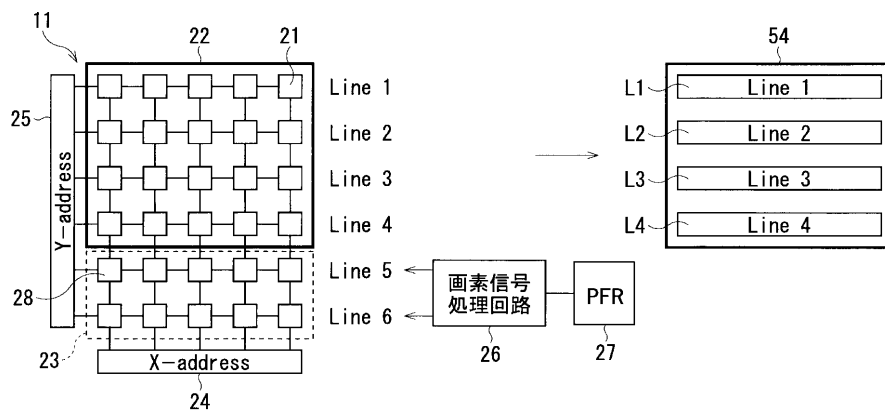
【符号の説明】

- 11 CMOSイメージセンサ
- 21 CMOS
- 22 画像形成領域
- 23 制御信号格納領域
- L1～L4 映像信号
- L5、L6 制御信号

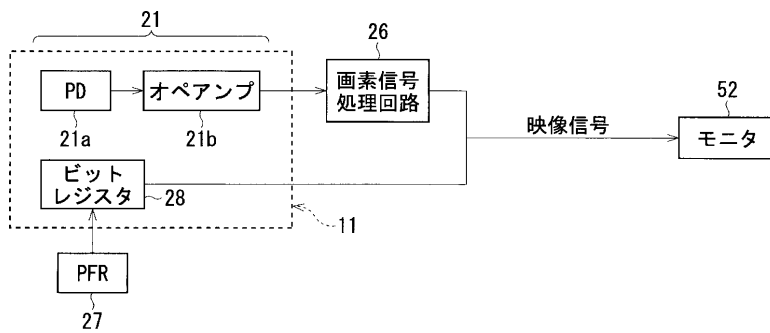
【図1】



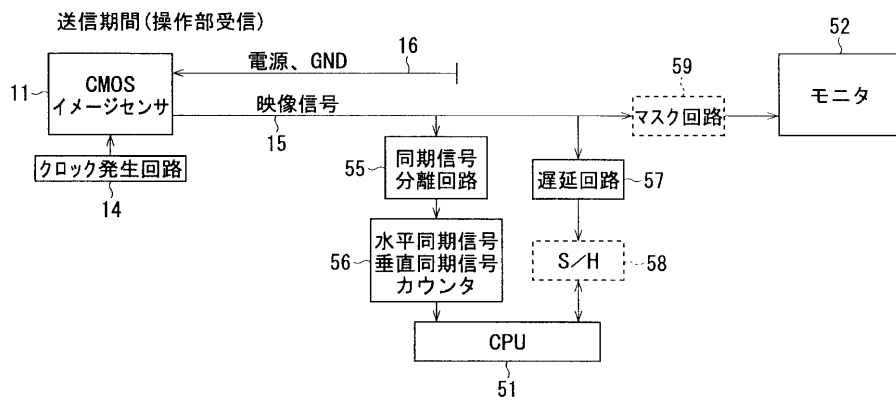
【図2】



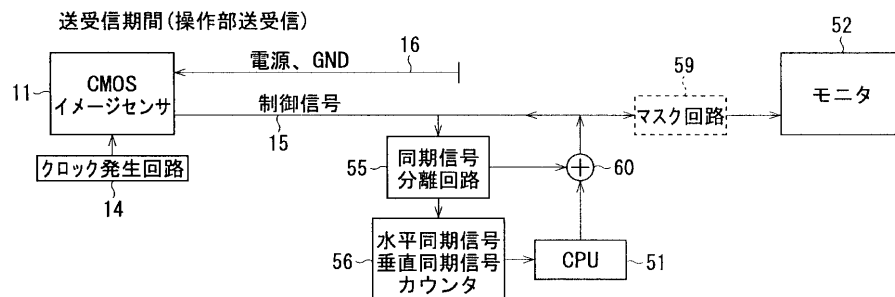
【図3】



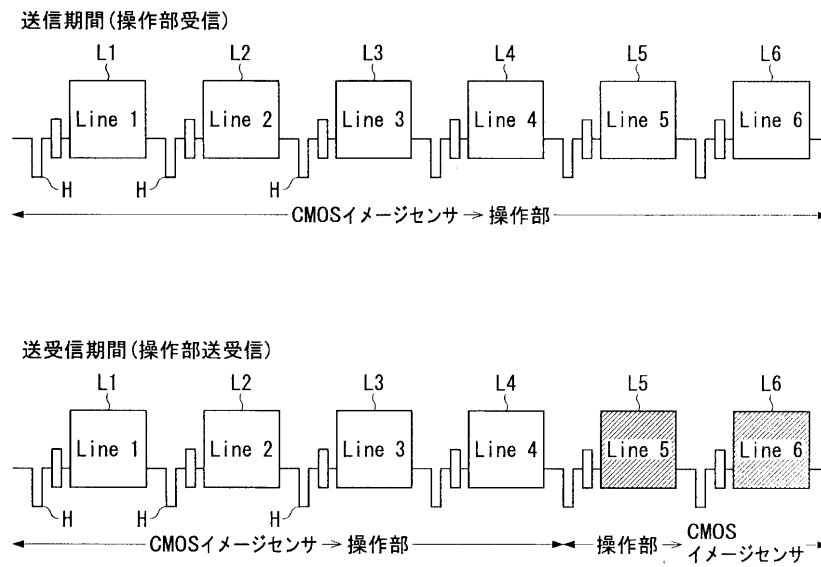
【図4】



【図5】



【図6】



フロントページの続き

Fターム(参考) 4C061 AA00 BB00 CC06 DD00 FF45
 JJ20 LL02 NN03 SS30
 4M118 AA10 AB01 BA14 DB20 FA06
 5C024 AX02 BX02 CY16 DX07 GY31
 HX32 HX51
 5C054 CC05 CG05 DA08 EA01 EC01
 HA12

专利名称(译)	视频信号发生器		
公开(公告)号	JP2002185853A	公开(公告)日	2002-06-28
申请号	JP2000378383	申请日	2000-12-13
[标]申请(专利权)人(译)	旭光学工业株式会社		
申请(专利权)人(译)	旭光学工业株式会社		
[标]发明人	菊地直樹		
发明人	菊地 直樹		
IPC分类号	A61B1/04 H01L27/146 H04N5/335 H04N5/374 H04N7/18		
FI分类号	H04N5/335.E H04N5/335.Z A61B1/04.372 H04N7/18.M H01L27/14.A A61B1/04.530 A61B1/05 H01L27/146.A H04N5/335.740 H04N5/374		
F-TERM分类号	4C061/AA00 4C061/BB00 4C061/CC06 4C061/DD00 4C061/FF45 4C061/JJ20 4C061/LL02 4C061/NN03 4C061/SS30 4M118/AA10 4M118/AB01 4M118/BA14 4M118/DB20 4M118/FA06 5C024/AX02 5C024/BX02 5C024/CY16 5C024/DX07 5C024/GY31 5C024/HX32 5C024/HX51 5C054/CC05 5C054/CG05 5C054/DA08 5C054/EA01 5C054/EC01 5C054/HA12 4C161/AA00 4C161/BB00 4C161/CC06 4C161/DD00 4C161/FF45 4C161/JJ20 4C161/LL02 4C161/NN03 4C161/SS30		
代理人(译)	松浦 孝		
外部链接	Espacenet		

摘要(译)

解决的问题：减少用于在CMOS图像传感器和外部设备之间交换信号的传输电缆。CMOS图像传感器（11）具有：图像形成区域（22），在该图像形成区域中生成与形成在光接收表面上的图像相对应的像素信号；以及控制信号存储区域（23），该控制信号存储区域（23）布置在图像形成区域（22）的外部。。图像形成区域22由CMOS 21组成，控制信号存储区域23由位寄存器28组成。通过图像拾取操作在图像形成区域22中产生像素信号。控制信号存储区域23存储用于对像素信号执行白平衡调整等的控制信号。像素信号根据控制信号在像素信号处理电路26中被处理，并且作为视频信号经由传输电缆被传输到微型计算机。控制信号通过传输电缆从微计算机传输到CMOS图像传感器11。

